
Eingebettete Systeme

Übungsblatt 5

Abgabe bis spätestens 23. Dezember 2008 12:00 Uhr, Mailbox von
metzner@cs.uni-potsdam.de

Aufgabe 1. VHDL-Einführung (15)

Entwickeln und testen Sie einen Timer (bis max. 1 Stunde Zähldauer bei Sekundenzählung) in VHDL ist folgender schematischen Darstellung:

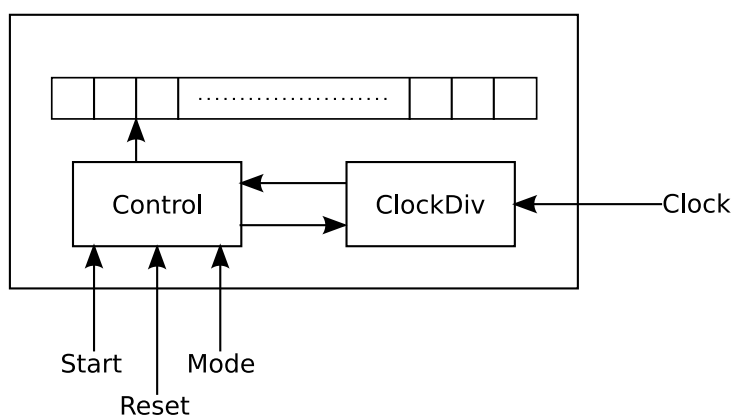


Abbildung 1: Blockschaltbild des Timers

- Machen Sie sich mit VHDL vertraut (Material auf der Seite zur Vorlesung) sowie mit der ISE-Umgebung (Webpack kann kostenfrei auf www.xilinx.com heruntergeladen werden, alternativ auch per USB-Stick beziehbar)
- Implementieren Sie ein VHDL Modul, das im Sekundentakt einen Registerwert hochzählt

Clock stellt eine externe Clock mit 50Mhz dar

Start steuert den Timer (0 = Timer läuft; 1 = Timer stoppt und hält den letzten Wert im Register)

Reset setzt das Register auf den Wert 0 zurück

Mode legt fest, ob der Timer Sekunden (0) oder Millisekunden (1) zählt

- Überprüfen Sie Ihr Modul im ISE-Simulator

Abzugeben sind der VHDL-Quellcode sowie ein Screenshot des Simulators, der die Funktionalität nachweist.
